

Metodologías de optimización para circuitos nano electrónicos con variaciones de proceso

Juan F. Tisza C., Moisés Leureyros P.

¹Universidad Nacional de Ingeniería, Av. Túpac Amaru 210 Rímac, Lima, Perú.

²Sociedad de Ciencia y Tecnología SAC (SODINCYT), Lima, Perú.

Recibido el 16 de diciembre del 2017, aceptado el 26 de diciembre del 2017

DOI: <https://doi.org/10.33017/RevECIPeru2017.0013/>

Resumen

El escalamiento que se viene produciendo como parte del desarrollo tecnológico en el diseño de los circuitos integrados electrónicos ha generado la necesidad de considerar como elemento significativo las variaciones que se producen en las características del circuito como consecuencia de las variaciones en el proceso de fabricación, debido a que los diseños de sistemas electrónicos actuales son implementados en tecnologías nanométricas, en donde son muy significativos los efectos e influencia de dichas variaciones [1] [2]. Además las exigencias de mejores comportamientos en velocidad y consumo de potencia, conlleva a incorporar la optimización de estas características, como un requerimiento en la metodología de diseño. En este artículo se presentan dos metodologías propuestas para el diseño de circuitos integrados electrónicos modernos, metodologías que tienen por objetivo optimizar la velocidad de respuesta de los circuitos integrados, mediante la minimización de los retardos. Se presentan resultados de la aplicación de estas metodologías en circuitos estandarizados, una de ellas se denomina “el método de paso simple” y la otra “el método de paso múltiple”, en forma complementaria en las aplicaciones evaluamos el consumo de potencia dinámico. Se implementan algoritmos que están fundamentados en la teoría matemática de optimización de funciones [3][4].

Descriptor: *Variaciones de proceso de fabricación de C.I., variaciones estadísticas, retardo, tecnologías nanométricas con CMOS, correlaciones estadísticas, velocidad de subida.*

Abstract

The scaling that has been taking place as part of the technological development in the design of electronic integrated circuits has generated the need to consider as a significant element the variations that occur in the characteristics of the circuit as a consequence of the variations in the manufacturing process, that the designs of current electronic systems are implemented in nanometric technologies, where the effects and influence of these variations are very significant [1] [2]. In addition, the demands of better behaviors in speed and power consumption, lead to incorporate the optimization of these characteristics, as a requirement in the design methodology. This article presents two proposed methodologies for the design of modern electronic integrated circuits, methodologies that aim to optimize the response speed of integrated circuits, by minimizing delays. Results of the application of these methodologies in standardized circuits are presented, one of them is called “the simple step method” and the other “the multiple step method”, in a complementary way in the applications we evaluate the dynamic power consumption. Algorithms are implemented that are based on the mathematical theory of function optimization [3] [4].

Keywords: *Manufacturing process variations of C.I., statistical variations, delay, nanometric technologies with CMOS, statistical correlations, slew rate.*

1. Introducción

En las consideraciones que hay que tener en el diseño de circuitos integrados nanométricos resulta imprescindible actualmente tener en cuenta las variaciones que se producen en los parámetros y características eléctricas de los dispositivos electrónicos que constituyen los circuitos. Una de las causas por las que existen estas variaciones son debido a factores que están presentes en el entorno del medio ambiente de trabajo en que se encuentran los dispositivos, otra causa es debido a cambios generados por el tiempo acumulado de operación de los dispositivos que nos determina el envejecimiento que van teniendo los dispositivos y la otra causa que consideramos está constituida por los fenómenos particulares que se dan durante el proceso de fabricación, cuando pasan por las diversas etapas que se dan en dicho proceso. Es pertinente tener en cuenta que estos efectos debido a las variaciones, siempre estuvieron, sin embargo los efectos que producen esas variaciones en las tecnologías antiguas no eran significativas para que los diseños puedan satisfacer las especificaciones fijadas, esta situación ha cambiado radicalmente pues hay exigencias muy elevadas en las características de los circuitos actualmente y la tendencia es que sean mayores en el futuro próximo.

En consecuencia, en la medida que las dimensiones de los circuitos van teniendo cada vez tamaños más pequeños tendremos, esta problemática con una mayor significancia en los resultados de fabricación (en este trabajo utilizamos la tecnología de 65nm) y actualmente tecnologías de menos de 20 nm ya están siendo utilizadas por los fabricantes.

La consideración de tener en cuenta las variaciones de proceso en la metodología de diseño es actualmente importante para cumplir con las especificaciones de diseño establecidas y tener al mismo tiempo una aceptable y competitiva rentabilidad en la producción de circuitos integrados nanométricos.[1, 2, 5, 6, 7]. En la figura (1) se puede apreciar la evolución en las metodologías del diseño de circuitos integrados antiguos y actuales, tenemos una creciente importancia de las variaciones locales respecto a las variaciones totales.

1.2. Fundamentos teóricos y estadísticos para la caracterización de componentes digitales.[5]

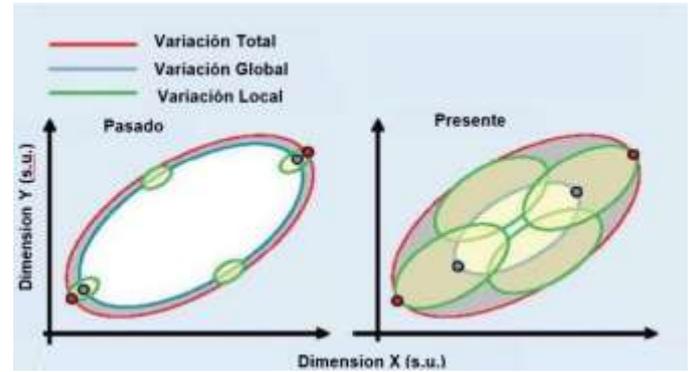


Figura 1: Variabilidad Local, Global y Total en el pasado y en el presente.

1.2.1.-Modelo analítico estadístico del retardo

Mediante el modelamiento basado en circuitos RC se han desarrollado circuitos de aproximación que permiten con un cierta aproximación tratar analíticamente el funcionamiento de circuitos digitales y consecuentemente también pueden ser considerados en una metodología de diseño de los circuitos digitales. El representar a una compuerta digital como una red RC es una primera forma para determinar el retardo. Este tratamiento es el usado en las leyes de Elmore y tiene la ventaja de ser relativamente simple, sin embargo para tener una mejor aproximación se tiene modelamientos mejorados que incorpora aspectos de interacción que se origina con la conectividad física de las compuertas con otras de su entorno, efectos de carga y superposición de diferentes fenómenos, buscando usar un mejor modelamiento, incorporando la respuesta de los MOSFET así se tiene teóricamente una aproximación desarrollada por Sakurai et al. en cuyas expresiones establecidas para el retardo y variables estadísticas son las mostradas en las ecuaciones (1.1, 1.2, 1.3,1.4, 1.5, 1.6 y 1.7) .

$$T_D = \frac{V_{dd}LT_{ox}C_L}{\mu\epsilon_{ox}(V_{dd} - V_{th})^\alpha} \tag{1.1}$$

$$T_D = f(L, W, T_{ox}, V_{th}) \tag{1.2}$$

$$\mu_{T_D} = T_D \left[1 + \left(\frac{1\alpha(\alpha + 1)\sigma_{V_{th}}^2}{2(V_{DD} - V_{th})^2} \right) + \frac{\sigma_W^2}{W^2} \right] \tag{1.3}$$

$$\sigma_D^2 = \sigma_{D,L}^2 + \sigma_{D,W}^2 + \sigma_{D,T_{ox}}^2 + \sigma_{D,V_{th}}^2 \tag{1.4}$$

utilizar, de tal forma que una proximidad con la respuesta experimental.

$$S_L = \frac{C_L V_{DD} T_{ox}}{\mu \epsilon_{ox} W (V_{DD} - V_{th})^\alpha}$$

$$S_W = \frac{C_L V_{DD} L T_{ox}}{\mu \epsilon_{ox} W^2 (V_{DD} - V_{th})^\alpha}$$

$$S_{V_{th}} = \frac{\alpha C_L V_{DD} L T_{ox}}{\mu \epsilon_{ox} W (V_{DD} - V_{th})^{\alpha+1}}$$

$$S_{T_{ox}} = \frac{C_L V_{DD} L}{\mu \epsilon_{ox} W (V_{DD} - V_{th})^\alpha}$$

(1.5)

$$S_i = \left[\frac{\partial f}{\partial X_i} \right]_0$$

(1.6)

$$\sigma_D^2 = S_W^2 \sigma_W^2 + S_L^2 \sigma_L^2 + S_{tox}^2 \sigma_{tox}^2 + S_{V_{th}}^2 \sigma_{V_{th}}^2 \quad (1.7)$$

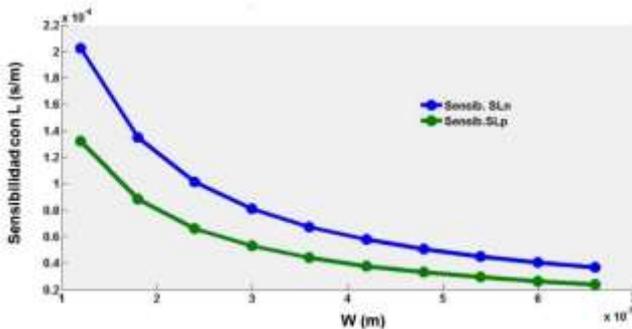


Figura 2: Variación de la sensibilidad con la dimensión W.

En estas expresiones se tiene al retardo ecuación (1.1), expresión determinística y luego mediante una expansión de Taylor se obtiene una representación estadística de retardo, la media de dicho retardo está en la ecuación (1.3) en la cual apreciamos que hay una influencia externa (fuente de alimentación y carga externa), así como también parámetros internos característicos del MOS (alfa, la tensión umbral, la movilidad, el espesor del óxido, las características de dicho óxido, también las dimensiones físicas del canal, el tiempo de subida de la señal a la entrada al MOS). En conclusión, se podría decir que el escalamiento pone en evidencia la necesidad de tener una evaluación y validación de las expresiones del modelo que se proponga

Por otro lado también podemos analizar la sensibilidad que tiene el retardo ante los principales parámetros del MOS como: la longitud, el ancho del canal, el espesor del óxido y la tensión umbral. Estas sensibilidades son la razón de cambio del retardo debido a una variación de los parámetros específicos indicados anteriormente. En las condiciones estáticas en particular en la que se está trabajando.

Las expresiones que determinan las sensibilidades vienen dadas en las ecuaciones (1.5) donde podemos apreciar las sensibilidades del retardo respecto a la longitud del canal, respecto al ancho del canal, respecto a la tensión umbral y finalmente la sensibilidad respecto a al espesor de la capa de óxido.

En la figura (2) se presenta las variaciones de las sensibilidades y parámetros evaluados en forma analítica en función del dimensionamiento (W) para el inversor.

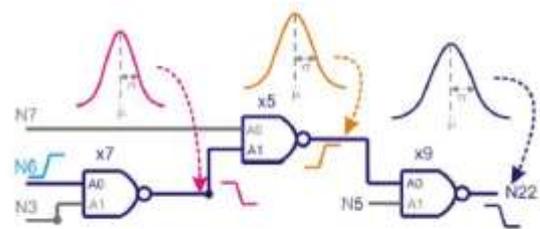


Figura 3: Los retardos en las señales, consideradas como variables estadísticas.

2. Metodologías de optimización método de paso-simple y método de pasos-múltiples.[5]

2.1.-Descripción de la metodología, método de pasos-múltiples.[5]

El diagrama de Flujo mostrado en las figuras (4 y 5) nos muestra la metodología implementada.

Un primer paso que debe realizarse con el circuito y sus especificaciones y restricciones establecidas para el proceso de optimización es la realización de un Análisis Estadístico Estático (SSTA) que debe efectuarse a fin de poder determinar en el circuito cuales y cuantos son los caminos críticos. Naturalmente este análisis se aplica al circuito original no optimizado, al cual se le aplica un par de diferentes patrones de

señales de entrada variando los tipos de transición y evaluando las medias y las desviaciones estándares de todos los caminos que tiene el circuito desde la entrada hasta la salida, se hace una selección de los que tiene mayor valores en la media del retardo y la desviación estándar del retardo y con ello determinamos los que son más significativos o

mejor dicho los que presentan las peores características de retardo, el número de caminos críticos que se selecciona considerando los caminos lógicos que tienen probabilidad de tener un retardo mayor que el que tiene el camino lógico con mayor retardo en una primera evaluación estática que se realiza inicialmente.

Tabla 1: Símbolos y expresiones usadas en las expresiones en este artículo y sus significados

<i>Símbolos y términos usados en los diagramas de flujo del método de pasos-múltiples</i>		
Símbolo	Significado	Observ.
$\sigma_{path_{p,k}(W_k)}$	Expresión de la desviación estándar del retardo del camino crítico p , en función del ancho de canal del MOS de la compuerta k que está siendo optimizada.	
$\sigma_{R,i}^2$	Componente de la Varianza del retardo del camino crítico i debido a las variaciones en parámetro independiente (rondón)	
$cov(D_i, D_j)$	Covarianza del retardo debido a la correlación entre las compuertas i y la compuerta j	Término usado en modelo estadístico lineal.
$Cv_{path_{p,k}(W_k)}$	Variabilidad del retardo del camino crítico p en función del ancho del canal de los MOS de la compuerta k	
$\mu_{D_{path}(W_k)}$	Media del retardo del camino crítico p en función del ancho del canal de los MOS de la compuerta k	
μ_{Di}	Expresión de la media del retardo producido por una compuerta i en general	
Ar_{Nom}	Área llamada nominal y es el área ocupada por el circuito original antes de realizar ninguna optimización.	
F_i	Factor asociado a la compuerta i , en el cálculo del área de ocupado por un circuito o un camino lógico.	Factor que considera las reglas de diseño y otros criterios de asignación de espacios.
FR_i	Factor que indica la restricción en área asignada a un camino crítico i en general.	Este factor es asignado a cada camino crítico a partir del área nominal
α_i	Coefficiente asociado a cada compuerta i en el cálculo de área ocupada por dicha compuerta, donde solo excluye el ancho básico del canal.	
$W_{Nom,i}$	Ancho básico del canal de los MOS de una compuerta i en general antes de ser optimizado.	
$Ar_{Rest,i}$	Área de restricción asociada a un camino crítico i .	
$Ar_{Med,i}$	Área medida asociado a un camino crítico i y que ocupa dicho camino después de una optimización.	La optimización puede estar en proceso o concluida
$W_{opt,j}$	Ancho de canal básico de una compuerta j después de efectuado el proceso de optimización.	

También es pertinente tener en cuenta que un insumo primario que se debe tener disponible como una cuestión previa a la aplicación del método es la caracterización de todos los tipos de compuertas consideradas válidas en la descripción del circuito a ser optimizado. En las figuras (4) y (5) se muestra el diagrama de flujo del proceso de optimización para el método pasomúltiples

2.2. Descripción de la metodología de paso-simple. [5]

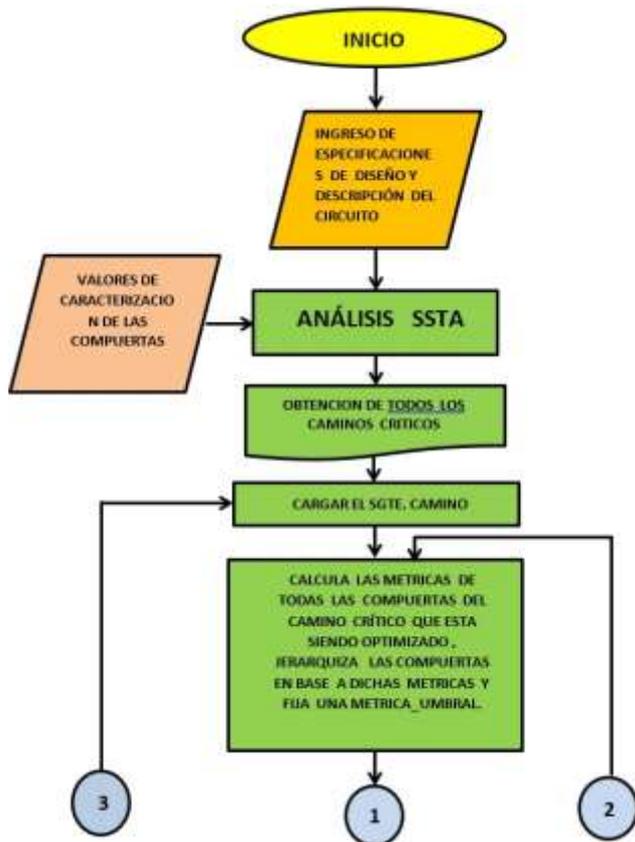


Figura 4: Diagrama de Flujo del algoritmo de optimización del método de paso-múltiple (1ra.Parte)

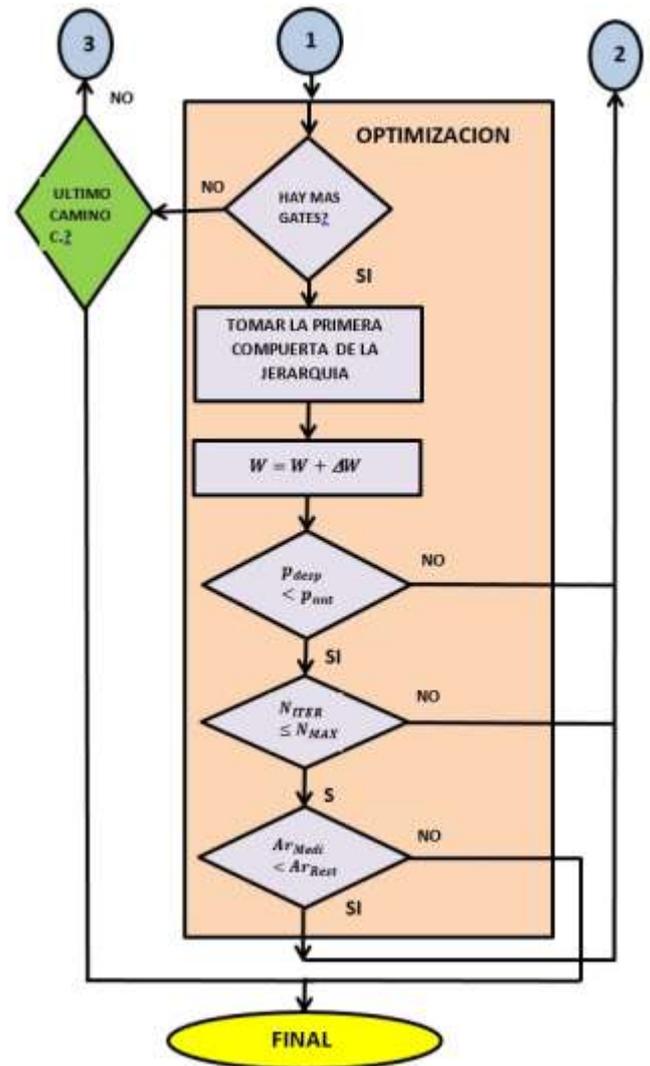


Figura 5: Diagrama de Flujo del algoritmo de optimización del método de paso-múltiple (2da.Parte).

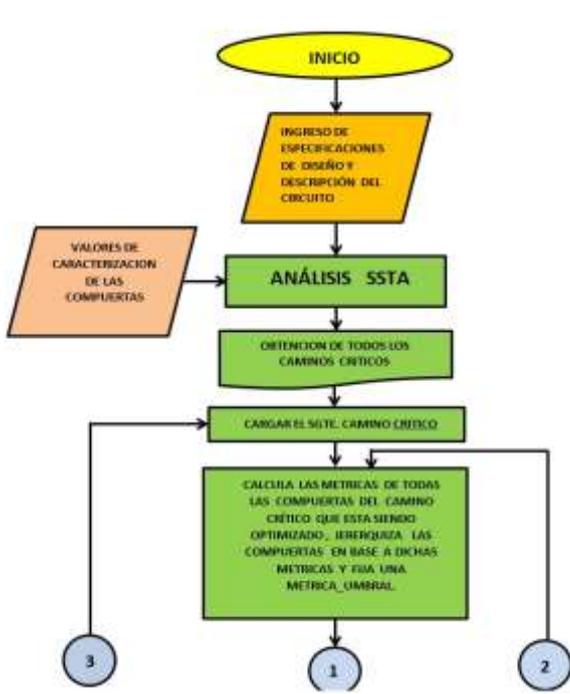


Figura 6: Diagrama de Flujo del algoritmo de optimización del método de paso simple (1ra.Parte).

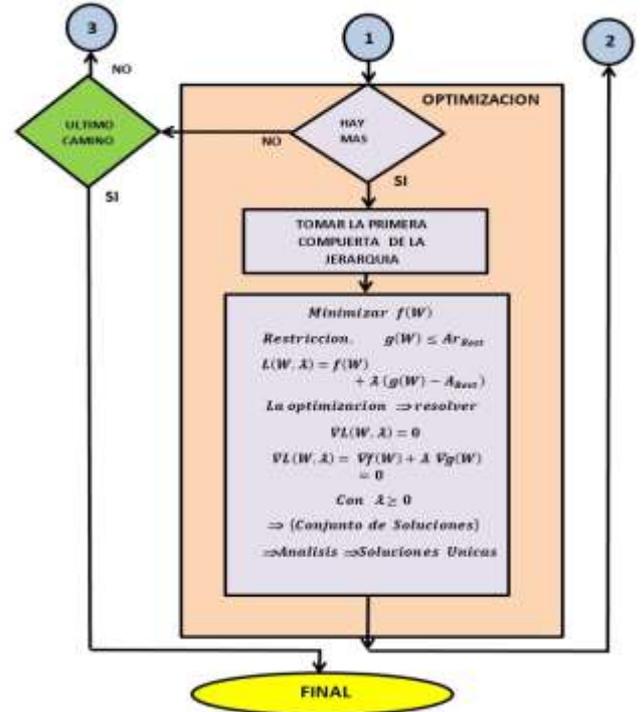


Figura 7: Diagrama de Flujo del algoritmo de optimización del método de paso simple(2da.Parte).

Tabla 3.3.- Tabla de símbolos y expresiones usados en los diagramas de flujo del método paso-simple

Símbolo	Significado	Observaciones
W	Ancho básico del MOS, compuerta que está siendo optimizada.	$W_n = K_n W$ $W_p = K_p W$ $W = KW_{min}$
K_n	coeficiente de diseño inicial de los MOS canal n	
K	factor de relación entre el ancho actual en el proceso de optimización y el ancho mínimo dado por la tecnología usada en el diseño	
W_{min}	Ancho mínimo permitido por la tecnología usada para el diseño.	esta dado por la tecnología en el caso de la tecnología de 65nm es de $120e-9$ m
K_p	coeficiente de diseño inicial de los MOS canal p	
$f(W)$	función objetivo en el método de LaGrange (LGR-KKT)	en este caso esta función dependiendo del parámetro que está siendo optimizado, en nuestro caso tenemos como objetivos la desviación estándar y la variabilidad toma las expresiones correspondientes.
$g(W)$	Expresión del parámetro que se tiene como restricción en el proceso de optimización.	se refiere al parámetro que se considera como restricción en el proceso de optimización, en este caso es el área máxima que puede usar cada camino crítico, el cual tiene un valor asignado como un prorrateo que se distribuye heurísticamente a partir del valor máximo de área presupuestado para los efectos de la optimización en el circuito diseñado.
λ	Multiplicador asignado por los criterios de LaGrange y karush-kunth-tucker.	

En las figuras (6 y 7) presentamos este método de optimización y en este caso la diferencia saltante es que para realizar el proceso de optimización se formula el problema de optimización usando el método matemático de los multiplicadores de LaGrange LSR (Lagrange Relaxation Subproblems) considerando las condiciones establecidas por Karush-Kunh-Tuker para las restricciones de tipo desigualdad.

Las función objetivo depende en general del parámetro que estamos optimizando , en nuestro caso asume expresiones que son mostradas en las ecuaciones (3.1 , 3.2, 3.3 y 3.4) dependiendo si se optimiza la desviación estándar del retardo o si es la variabilidad del retardo y en cada uno de los casos también varía la expresión si es para el caso en que se consideran procesos con variaciones independientes más correlacionadas respecto a si es el caso de procesos donde solo se consideran variaciones únicamente independientes.

En el caso de optimización de la desviación estándar del retardo del circuito, para variaciones independientes más correlacionadas le corresponde la ecuación (2.1) y en el caso que se considere solo variaciones independientes le corresponde la ecuación (2.2).

$$\sigma_{path_{p,k}(W_k)} = \sqrt{\left(\sum_{i=1}^n \sigma_{R,i}^2 + \sum_{i=1}^n \sum_{j=1}^n cov(D_i, D_j) \right)} \quad (2.1)$$

$$\sigma_{D_{path_{p,k}(W_k)}} = \sqrt{\sum_{i=1}^n \sigma_{R,i}^2} \quad (2.2)$$

$$Cv_{path_{p,k}(W_k)} = \frac{\sigma_{D_{path_{p,k}(W_k)}}}{\mu_{D_{path_{p,k}(W_k)}}} = \frac{\sqrt{(\sum_{i=1}^n \sigma_{R,i}^2 + \sum_{i=1}^n \sum_{j=1}^n cov(D_i, D_j))}}{\sum_{i=1}^n \mu_{D_i}} \quad (2.3)$$

$$Cv_{path_{p,k}(W_k)} = \frac{\sigma_{D_{path_{p,k}(W_k)}}}{\mu_{D_{path_{p,k}(W_k)}}} = \frac{\sqrt{(\sum_{i=1}^n \sigma_{R,i}^2)}}{\sum_{i=1}^n \mu_{D_i}} \quad (2.4)$$

En cuanto a la expresión de la función de restricción que corresponde al área del camino crítico correspondiente que representa una fracción o un porcentaje del área nominal que tiene el circuito antes de realizar el proceso de optimización. En las ecuaciones (3.5, 3.6, 3.7 y 3.8) mostramos las funciones y las expresiones que constituyen las restricciones de esta optimización que se realiza con el método que estamos explicando.

$$Ar_{Nom} = F_i \sum_{i=1}^n \alpha_i W_{Nom,i} \quad (3.5)$$

$$Ar_{Rest,i} = FR_i Ar_{Nom} \quad (3.6)$$

$$Ar_{Med,i} = \sum_{j=1}^{NCP} \alpha_j W_{opt,j} \quad (3.7)$$

$$Ar_{Med,i} \leq Ar_{Rest,i} \quad (3.8)$$

3. Resultados de la aplicación de las optimizaciones a circuitos estandarizados

Los resultados presentados son los aplicados a circuitos estandarizados denominados circuitos ISCAS s298 y s510.

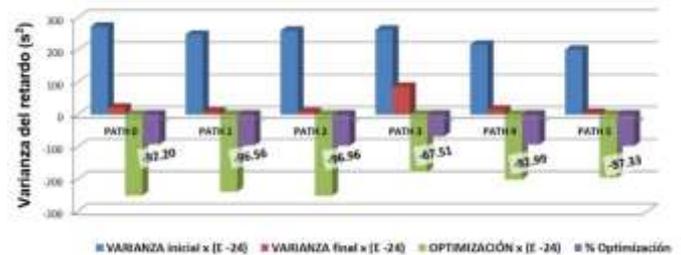


Figura 5: Resultados de la optimización en varianza en el circuito ISCA s298, con el método PASO-SIMPLE.

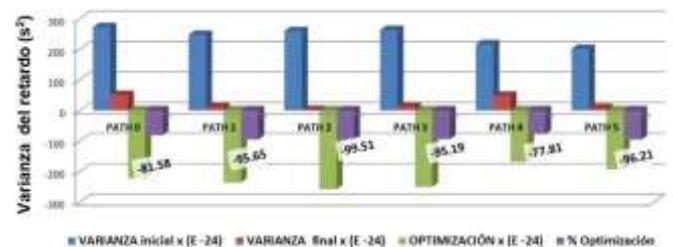


Figura 6: Resultados de la optimización en varianza en el circuito ISCA s298, con el método PASO-MULTIPLE.

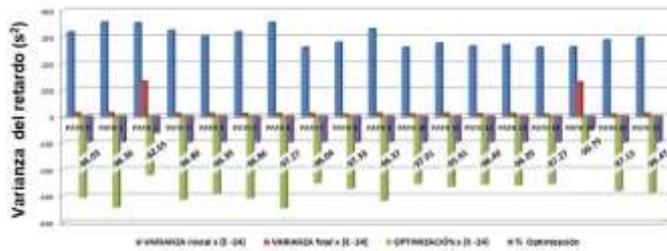


Figura 7: Resultados de la optimización en varianza en el circuito ISCA s510, con el método PASO-SIMPLE.

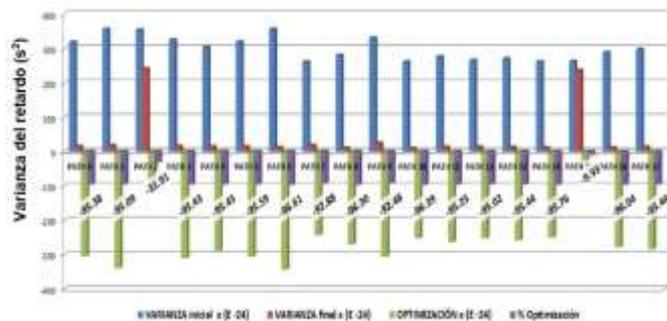


Figura 8: Resultados de la optimización en varianza en el circuito ISCA s510, con el método PASO-MULTIPLE.

4. Interpretación de los resultados

Los resultados obtenidos en los circuitos ISCAS s298 y s510 nos muestran una reducción en el retardo para cada uno caminos críticos (Paths), con los cuales se están evaluando y optimizando las varianzas de los retardos de los circuito estándares. En este artículo no tenemos como objetivo hacer un estudio comparativo entre los dos métodos, pues ello necesitaría una evaluación más exhaustiva de cada circuito ensayado, sin embargo si podemos decir que ambos métodos producen una optimización en lo relacionado con la varianza y la desviación estándar del retardo.

5. Conclusiones

De los resultados obtenidos se concluye que tenemos dos métodos validados para realizar optimizaciones de circuitos y sistemas integrados digitales. La aplicación de estas técnicas de optimización resultan ser relativamente simples y se consigue tener la posibilidad de evaluar con más detalle circuitos que puedan ser tan extensos como los que se tiene en los usos comerciales.

En perspectiva la necesidad de optimizar los circuitos y sistemas electrónicos es un

requerimiento inexorable en los tiempos modernos y por lo tanto este estudio representa una contribución para abordar este reto que será constante en los próximos tiempos.

Referencias

- [1] M. Dietrich, and J. Haase, *Process Variations and Probabilistic Integrated Circuits Design*, (Springer, New York, 2012).
- [2] J. Moreno, *Realistic Detection of Interconnect Opens under Process Variations* (INAOE PhD Tesis, Tonantzintla, Puebla, México, 2012).
- [3] A. Nichte-Ha Reyes, *Análisis y optimización de circuitos digitales nanométricos en presencia de variaciones de proceso* (INAOE MSc. Tesis, Tonantzintla, Puebla, México, 2014).
- [4] C. Sanabria, *Diseño Robusto a Variaciones de Procesos*, (Instituto Nacional de Astrofísica, Óptica y Electrónica, INAOE MSc. Tesis, Tonantzintla, Puebla, México, 2015)
- [5] J. Tisza C., *Métodos de Optimización para Circuitos Digitales Nanométricos considerando Variaciones de Proceso* (Instituto Nacional de Astrofísica, Óptica y Electrónica, INAOE MSc. Tesis, Tonantzintla, Puebla, México, 2016). Capítulos 3 y 5.
- [6] Duane Boning, M. Orshansky, Sani R. Nassa, *Design for Manufacturability and Statistical Design* (Springer, New York, USA, 2008).
- [7] D. Sylvester, D. Blaauw, A. Srivastava, *statistical Analysis and Optimization for VLSI: Timing and Power* (Springer, New York, USA, 2005).
- [8] M. Baron, *Probability and Statistics for Computer Scientists* (CRC Press, Boca Raton, FL, USA, 2014) page 219.
- [9] T. Sakurai, A. Newton, *Delay analysis of series-connected MOSFET circuits* (IEEE Journal of Solid-State Circuits, Piscataway, USA, 1991) pag. , 26,
- [10] Y. Tividis, *Operation and Modeling of The MOS Transistor*, Oxford University (Press, New York, USA, 2010).

jtisza@gmail.com , mleureyros@gmail.com